



PATENT

Customer No. 31561
Attorney Docket No.: 9223-US-PA

2826
#2
Priority
Paper
9-12-02
aey

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Chi-hsing Hsu
Application No. : 10/064,644
Filed : 2002/8/2
For : FLIP-CHIP PACKAGE SUBSTRATE AND FLIP CHIP DIE
Examiner :

ASSISTANT COMMISSIONER FOR PATENTS

Washington, D.C. 20231

RECEIVED
SEP 10 2002
2002

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 91208321,
filed on: 2002/6/5.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: September 3, 2002

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

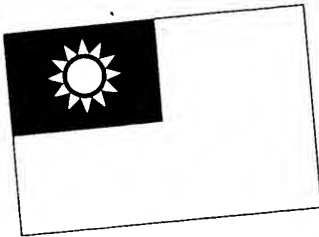
Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 06 月 05 日
Application Date

申請案號：091208321
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局長
Director General

陳明邦

發文日期：西元 2002 年 8 月 20 日
Issue Date

發文字號：09111016048
Serial No.

0082 471172 1207010031
SEP 6-2002

RECEIVED

申請日期：

案號：

91208321

類別：

(以上各欄由本局填註)

新型專利說明書

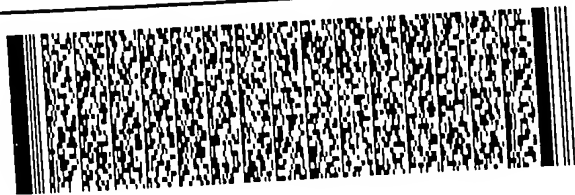
一、 新型名稱	中文	覆晶構裝基板及覆晶晶片
	英文	
二、 創作人	姓名 (中文)	1. 許志行
	姓名 (英文)	1.
	國籍	1. 中華民國
	住、居所	1. 台北縣新莊市昌隆街23號9樓之1
三、 申請人	姓名 (名稱) (中文)	1. 威盛電子股份有限公司
	姓名 (名稱) (英文)	1. VIA TECHNOLOGIES, INC.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 台北縣新店市中正路533號8樓
	代表人 姓名 (中文)	1. 王雪紅
	代表人 姓名 (英文)	1.



四、中文創作摘要 (創作之名稱：覆晶構裝基板及覆晶晶片)

一種覆晶構裝基板，主要係將訊號凸塊墊、電源凸塊墊及接地凸塊墊分組成許多內層凸塊墊排，並依序排列於由核心凸塊墊群組之同一側的外圍，使得電源凸塊墊排及接地凸塊墊排穿插配設於訊號凸塊墊排之間，用以提升晶片接合至覆晶構裝基板之後的電氣效能。此外，覆晶構裝基板更對應二相鄰外層凸塊墊之最短間距來規劃外層凸塊墊之位置，用以縮小覆晶構裝基板之覆晶接合區域。另外，覆晶晶片係對應上述之覆晶構裝基板之凸塊墊的位置，而將多個鉀墊配置於晶片之主動表面上，用以提升晶片之電氣效能，並同時縮小晶片之面積。

英文創作摘要 (創作之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

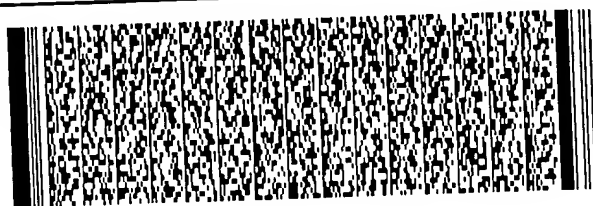
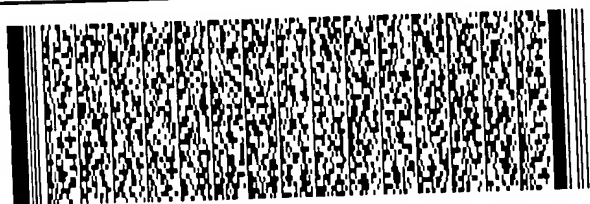
無

五、創作說明 (1)

本創作是有關於一種覆晶構裝基板及覆晶晶片，且特別是有關於一種可提高電氣性能及縮小封裝面積的覆晶構裝基板，以及一種可對應連接於上述之覆晶構裝基板的覆晶晶片。

覆晶接合技術 (Flip Chip Interconnect Technology, 簡稱FC) 主要係利用面陣列 (area array) 的方式，將多個鐳墊 (die pad) 配置於晶片之主動表面 (active surface) 上，並在各個鐳墊上形成凸塊 (bump)，接著在將晶片翻覆 (flip) 之後，利用晶片上的凸塊分別對應連接至承載器 (carrier) 上的接點 (contact)，使得晶片可經由凸塊電性連接至承載器，再經由承載器之內部線路而電性連接至外界的电子裝置。值得注意的是，由於覆晶接合技術係可適用於高腳數 (High Pin Count) 之晶片封裝，並具有縮小晶片封裝面積及縮短訊號傳輸路徑等優點，使得覆晶接合技術已被廣泛地應用在晶片封裝領域之中。目前應用覆晶接合技術之晶片封裝型態包括有覆晶球格陣列封裝型 (Flip Chip Ball Grid Array, FCBGA)、覆晶針格陣列封裝型 (Flip Chip Pin Grid Array, FCPGA) 及基板上有晶片封裝型 (Chip On Board, COB) 等封裝結構。

請參考第1圖，其繪示習知之一種覆晶球格陣列型封裝結構的剖示圖。晶片10之主動表面12係配置有多個鐳墊14，用以作為晶片10之訊號輸出入端，而鐳墊14上更分別配置有一凸塊30，用以分別連接覆晶構裝基板20之頂面21

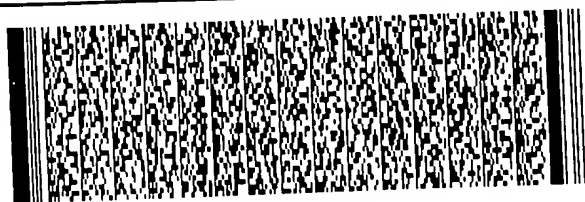


五、創作說明 (2)

上的凸塊墊 (bump pad) 24。此外，覆晶構裝基板20主要係由多層圖案化之導線層23及多層絕緣層26所相互交錯疊合而成，並可利用多個導電插塞28分別貫穿絕緣層26，用以電性連接二層或二層以上的導線層23，其中導電插塞28包括鍍通插塞 (Plating Through Hole, PTH) 28a及導通插塞 (via) 28b。另外，覆晶構裝基板20之頂面21上的凸塊墊24係由這些導線層23之最頂層者 (即導線層23a) 所構成，並利用一圖案化之錫罩層 (Solder Mask) 27a來保護導線層23a，同時暴露出導線層23a之凸塊墊24。

請同樣參考第1圖，覆晶構裝基板20之底面22更配置有多個錫球墊 (ball pad) 25，其係由這些導線層23之最底層者 (即導線層23b) 所構成，並同樣利用一圖案化之錫罩層27b來保護導線層23b，同時暴露出導線層23b之錫球墊25，而錫球墊25上更可配置錫球 (Ball) 40或其他導電結構，用以與外界作電性連接。因此，晶片10之錫墊14將可經由凸塊30，而電性及機械性連接至覆晶構裝基板20之對應的凸塊墊24，再經由各層導線層23及各個導電插塞28，而向下繞線至覆晶構裝基板20之底面22上的錫球墊25，最後經由錫球墊25上之錫球40等導電結構，而電性及機械性連接至下一層級 (next level) 之電子裝置，例如一印刷電路板 (PCB)。

請依序參考第2、3圖，其中第2圖繪示第1圖之晶片的仰視圖，而第3圖繪示第1圖之覆晶構裝基板的局部俯視圖。首先，如第2圖所示，晶片10之多個錫墊14係以面陣

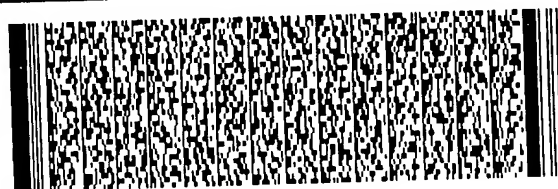
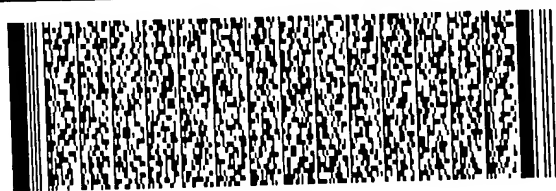


五、創作說明 (3)

列的方式，配置於晶片10之主動表面12上，其中鐳墊14依照功能上的不同，可分為訊號鐳墊 (signal pad) 14a、電源鐳墊 (power pad) 14b、接地鐳墊 (ground pad) 14c、核心 (core) 電源/接地鐳墊14d，其中訊號鐳墊14a、電源鐳墊14b及接地鐳墊14c係不規則分佈於核心電源/接地鐳墊14d之外圍。

接著，如第3圖所示，為了對應晶片10之各個鐳墊14的位置，覆晶構裝基板20之多個凸塊墊24亦同樣以面陣列的方式，配置於覆晶構裝基板20之頂面21，值得注意的是，為了對應晶片10之不同功能類型的鐳墊14，凸塊墊24亦可分為訊號凸塊墊 (signal bump pad) 24a、電源凸塊墊 (power bump pad) 24b、接地凸塊墊 (ground bump pad) 24c及核心電源/接地凸塊墊24d，其中訊號凸塊墊24a、電源凸塊墊24b及接地凸塊墊24c係不規則分佈於核心電源/接地凸塊墊24d之外圍。

請同樣參考第2、3圖，晶片10之鐳墊14係以面陣列的排列方式，規則性地配置於晶片14之主動表面12上，而覆晶構裝基板20之凸塊墊24亦對應以面陣列的排列方式，規則性地配置於覆晶構裝基板20之頂面21上。值得注意的是，由於兩相鄰凸塊墊24之間距 (pitch) 必須大於製程所允許的距離，再加上二相鄰凸塊墊24之間所通過的導線寬度，並且晶片10之鐳墊14的位置必須對應覆晶構裝基板20之凸塊墊24的位置，因而使得晶片10必須提供相當大的面積，用以容納所有鐳墊14，如此將難以進一步地縮小晶



五、創作說明 (4)

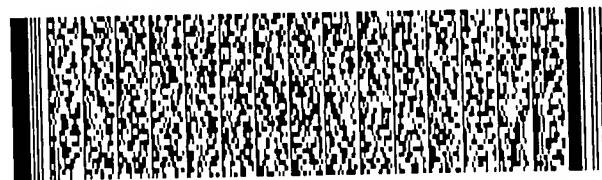
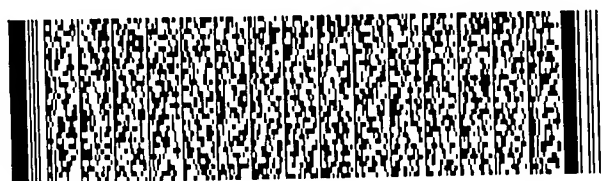
片10之面積。此外，由於晶片10之各種功能類型的鐳墊14（如訊號鐳墊14a、電源鐳墊14b及接地鐳墊14c）係不規則地分佈於晶片10之主動表面12，如此將相對增加晶片10之重佈線層的繞線路徑長度，並相對增加覆晶構裝基板20之繞線路徑長度，如此將大幅降低晶片10連接至覆晶構裝基板20之後的電氣效能（electrical performance）。

有鑑於此，本創作之目的係在於提出一種覆晶構裝基板及覆晶晶片，可藉由改變覆晶構裝基板之凸塊墊的排列方式，因而相對提高晶片於封裝之後的電氣效能，並可相對縮小晶片之面積，進而縮小晶片於封裝之後的面積，亦可降低單顆晶片之製作成本。

基於本創作之上述目的，本創作係提供一種覆晶構裝基板，其主要係將訊號凸塊墊、電源凸塊墊及接地凸塊墊分組成許多內層凸塊墊排，並依序排列於由核心凸塊墊群組之同一側的外圍，使得電源凸塊墊排及接地凸塊墊排穿插配設於訊號凸塊墊排之間，用以提升晶片接合至覆晶構裝基板之後的電氣效能。此外，覆晶構裝基板更對應二相鄰外層凸塊墊之最短間距來規劃外層凸塊墊之位置，用以縮小覆晶構裝基板之覆晶接合區域。

同樣基於本創作之上述目的，本創作係提供一種覆晶晶片，其係對應上述之覆晶構裝基板之凸塊墊的位置，而將多個鐳墊配置於晶片之主動表面上，用以提升晶片之電氣效能，並縮小晶片之面積。

為讓本創作之上述目的、特徵和優點能明顯易懂，下

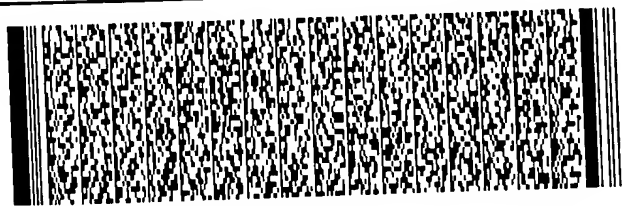


五、創作說明 (5)

文特舉一較佳實施例，並配合所附圖示，作詳細說明如下：

圖式之標示說明

- 10：晶片12：主動表面
- 14：鐳墊14a：訊號鐳墊
- 14b：電源鐳墊14c：接地鐳墊
- 14d：核心電源/接地鐳墊20：覆晶構裝基板
- 21：頂面22：底面
- 23、23a~23c：導線層24：凸塊墊
- 24a：訊號凸塊墊24b：電源凸塊墊
- 24c：接地凸塊墊
- 24d：核心電源/接地凸塊墊25：鐳球墊
- 26：絕緣層27、27a、27b：鐳罩層
- 28：導電插塞28a：鍍通插塞
- 28b：導通插塞30：凸塊
- 40：鐳球
- 100：覆晶構裝基板102：頂面
- 104：第一導線層106：第二導線層
- 110：核心凸塊墊群組
- 112：核心電源/接地凸塊墊120：內層凸塊墊排
- 120a：電源凸塊墊排120b：訊號凸塊墊排
- 120c：接地凸塊墊排122：內層凸塊墊
- 122a：電源凸塊墊122b：訊號凸塊墊
- 122c：接地凸塊墊124：插塞墊

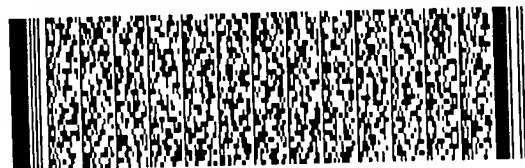
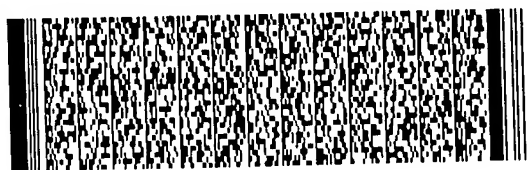


五、創作說明 (6)

126 : 導線128 : 板狀導電結構
130 : 外層凸塊墊排130a : 第一外層凸塊墊排
130b : 第二外層凸塊墊排130c : 第三外層凸塊墊排
132 : 外層凸塊墊134 : 導線
136 : 外層凸塊墊環136a : 第一外層凸塊墊環
136b : 第二外層凸塊墊環136c : 第三外層凸塊墊環
140 : 覆晶區域邊緣
200 : 晶片202 : 主動表面
210 : 核心鐳墊群組212 : 核心電源/接地鐳墊
220 : 內層鐳墊排220a : 電源鐳墊排
220b : 訊號鐳墊排220c : 接地鐳墊排
222 : 內層鐳墊222a : 電源鐳墊
222b : 訊號鐳墊222c : 接地鐳墊
230 : 外層鐳墊排230a : 第一外層鐳墊排
230b : 第二外層鐳墊排230c : 第三外層鐳墊排
232 : 外層鐳墊236 : 外層鐳墊環
236a : 第一外層鐳墊環236b : 第二外層鐳墊環
236c : 第三外層鐳墊環240 : 晶片邊緣

較佳實施例

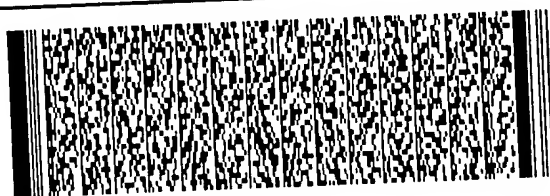
請同時參考第4A、4B圖，其中第4A圖繪示本創作之較佳實施例的覆晶構裝基板的局部俯視圖，而第4B圖繪示第4A圖之覆晶構裝基板，其第一導線層之局部區域A的放大示意圖。覆晶構裝基板100係由多層導線層及多層絕緣層相互交錯疊合而成，其中絕緣層係配置於二相鄰之導線層



五、創作說明 (7)

之間，用以隔離這些導線層，並利用導電插塞貫穿絕緣層，用以電性連接二層或二層以上之導線層。覆晶構裝基板100之頂面102至少配設一核心凸塊墊群組110及多個內層凸塊墊排120及多個外層凸塊墊排130，其均係由覆晶構裝基板100之第一導線層104（如第1圖之導線層23a）所構成，即係由覆晶構裝基板100之最頂層的導線層所構成。其中，核心凸塊墊群組110包括多個核心電源/接地凸塊墊112（如第4B圖所示），用以讓凸塊配置其上。此外，這些內層凸塊墊120排係依序排列於核心凸塊墊群組110之同一側的外圍，且這些內層凸塊墊排120之一端係鄰近核心凸塊墊群組110，另一端則相對遠離核心凸塊墊群組110，而這些內層凸塊墊排120分別具有複數個內層凸塊墊122（如第4B圖所示），並且同一內層凸塊墊排120所具有之內層凸塊墊122的功能類型相同，例如同樣為電源凸塊墊122a、訊號凸塊墊122b或是接地凸塊墊122c，使得這些內層凸塊墊排120可為電源凸塊墊排120a、訊號凸塊墊排120b或接地凸塊墊排120c。

請同樣參考第4A、4B圖，為了提升覆晶構裝基板100之電氣效能，更可將不同功能類型的內層凸塊墊排122依序間隔配置於核心凸塊墊群組110之同一側的外圍，並在電源凸塊墊排120a及接地凸塊墊排120c之間配置至少一個訊號凸塊墊排120b，亦即將電源凸塊墊排120a及接地凸塊墊排120c穿插配置於這些訊號凸塊墊排120b之間，使得訊號凸塊墊排120b之訊號凸塊墊122b所參考的電源及接地將更



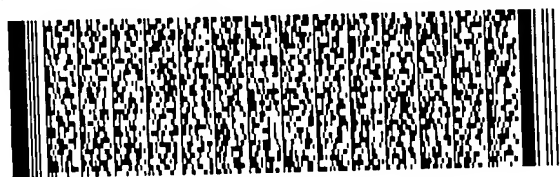
五、創作說明 (8)

為平均。

請同樣參考第4A、4B圖，內層凸塊墊122係經由導線126而電性連接至一插塞墊124，即第1圖之導電插塞28的頂層，再經由第1圖之導電插塞28而電性連接至第1圖之第二導線層23c。值得注意的是，對於同一電源凸塊墊排120a之所有電源凸塊墊122a，而言，可利用一板狀導電結構128，將同一電源凸塊墊排120a之所有的電源凸塊墊122a相互電性連接，並同時形成插塞墊124及導線126，因而增加覆晶構裝基板100之供電面積。同樣地，同一接地凸塊墊排120c之接地凸塊墊122c亦可利用一板狀導電結構128來達到相同的目的，因而增加覆晶構裝基板100之接地面積。

請同時參考第4B、4C圖，其中第4C圖繪示第4B圖之覆晶構裝基板，其第二導線層之局部區域A的放大示意圖。同樣地，為了增加覆晶構裝基板100之供電面積，可對應第4B圖之電源凸塊墊排120a及接地凸塊墊排120c，而在第二導電層106（如第1圖之導線層之次頂層者，即導電層23c）上形成板狀導電結構128，故可使得電源凸塊墊排120a之電源凸塊墊122a，或是接地凸塊墊排120c之接地凸塊墊122c，可經由第二導線層106之板狀導電結構128而相互電性連接。

接下來，請再同時參考第4A、4B圖，覆晶構裝基板100之頂面102更配設有多個外層凸塊墊排130，其同樣係由覆晶構裝基板100之第一導線層104（如第1圖之導線層23a）

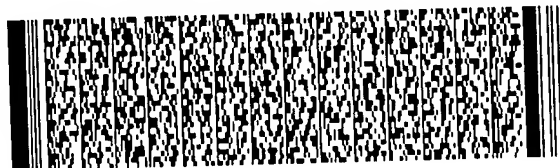
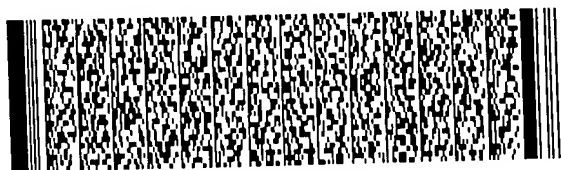


五、創作說明 (9)

所構成，即係由覆晶構裝基板100之最頂層的導線層23所構成，其中這些外層凸塊墊排130分別包括多個外層凸塊墊132，例如作為訊號凸塊墊。值得注意的是，這些外層凸塊墊排130之排列方向係約略垂直這些內層凸塊墊排120之排列方向，使得這些外層凸塊墊排130由內而外依序排列於核心凸塊墊群組110之同一側的外圍，也就是這些外層凸塊墊排130由內而外依序排列於內層凸塊墊排120之遠離核心凸塊墊群組110之一端的外圍，並且這些外層凸塊墊排130由內而外依序為第一外層凸塊墊排130a、第二外層凸塊墊排130b及第三外層凸塊墊排130c，而這些外層凸塊墊排130之外層凸塊墊132均係經由導線134而扇出 (fan out) 至覆晶區域邊緣140之外。

請再同時參考第4A、4B圖，由於第一外層凸塊墊排130a之外層凸塊墊132與相鄰之這些內層凸塊墊120之間並無導線134通過，故可將第一外層凸塊墊排130a之外層凸塊墊132與相鄰之內層凸塊墊122之間距設定為製程能力所允許的最短間距，例如為150~200微米。此外，第一外層凸塊墊排130a之外層凸塊墊132與第二外層凸塊墊排130b之外層凸塊墊132之間亦同樣無導線134通過，故可將第一外層凸塊墊排130a之外層凸塊墊132與第二外層凸塊墊排130b之外層凸塊墊132之間距設定為製程能力所允許的最短間距，例如為150~200微米。

請再同時參考第4A、4B圖，第二外層凸塊墊排130b之相鄰二外層凸塊墊132之間將通過一條導線134，所以第二

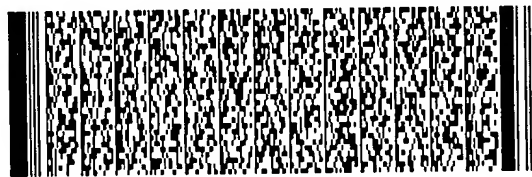
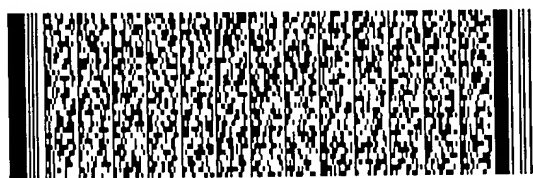


五、創作說明 (10)

外層凸塊墊排130b之相鄰二外層凸塊墊132之最短間距係可容許至少一條導線134通過。並且，第二外層凸塊墊排130b之外層凸塊墊132與第三外層凸塊墊排130c之外層凸塊墊132之間將通過一條導線134，所以第二外層凸塊墊排130b之外層凸塊墊132與第三外層凸塊墊排130c之外層凸塊墊132之最短間距係可容許至少一條導線134通過。再者，第三外層凸塊墊排130c之相鄰二外層凸塊墊132之間將通過二條導線134，所以第三外層凸塊墊排130c之相鄰二外層凸塊墊132之最短間距係可容許至少二條導線134通過。值得注意的是，外層凸塊墊132將不按照習知之規則性排列，反而是對應任二外層凸塊墊132之最短間距，而配置於覆晶構裝基板100之頂面102，故可縮小內層凸塊墊122與外層凸塊墊132之間距，以及相鄰二外層凸塊墊132之間距，因而縮小覆晶構裝基板100之頂面102的覆晶接合區域。

請再參考第4A圖，第一導線層104具有複數個外層凸塊墊環136，其包括如第4B圖所示之多個外層凸塊墊132，並以核心凸塊墊群組110為中心，而呈同心環狀排列於核心凸塊墊群組110之外圍，且這些外層凸塊墊環136之部分係分別為這些外層凸塊墊排130，例如第一外層凸塊墊環136a之部分係為第一外層凸塊墊排130a，而第二外層凸塊墊環136b之部分係為第二外層凸塊墊排130b，且第三外層凸塊墊環136c之部分係為第三外層凸塊墊排130c。

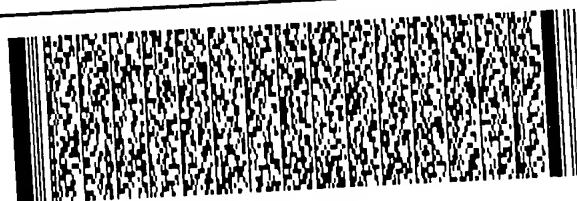
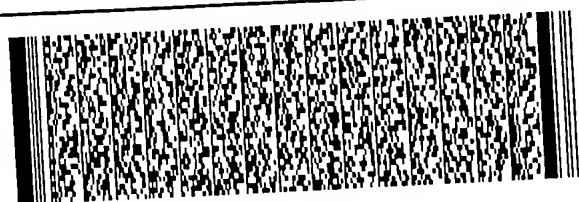
本創作之較佳實施例的覆晶構裝基板係將訊號凸塊



五、創作說明 (11)

墊、電源凸塊墊及接地凸塊墊分組成許多內層凸塊墊排，並依序排列於由核心凸塊墊群組之同一側的外圍，使得電源凸塊墊排及接地凸塊墊排穿插配設於訊號凸塊墊排之間，用以提升覆晶構裝基板之電氣效能，進而提升晶片封裝於此覆晶構裝基板之後的電氣效能。此外，本創作之較佳實施例的覆晶構裝基板更可對應二相鄰外層凸塊墊之最短間距來規劃外層凸塊墊之位置，用以縮小覆晶構裝基板之覆晶接合區域。

為了對應本創作之較佳實施例的覆晶構裝基板，本創作更提出一種覆晶晶片，用以對應接合至上述之覆晶構裝基板上。請同時參考第5A、5B圖，其中第5A圖繪示本創作之較佳實施例之覆晶晶片的俯視圖，而第5B圖繪示第5A圖之局部區域B的放大示意圖。同樣地，晶片200具有一主動之局部區域B的放大示意圖。同樣地，晶片200具有一主動表面202，即第1圖之晶片10的主動表面12，其中主動表面202泛指晶片200之具有主動元件 (active component) 的一面。此外，晶片200更具有一核心鐳墊群組210，其包括多個核心電源/接地鐳墊212 (如第5B圖所示)。另外，晶片200更具有多個內層鐳墊排220，其配置於晶片200之主動表面202，並依序位於核心鐳墊群組210之同一側的外圍，且這些內層鐳墊排220之一端係鄰近核心鐳墊群組210，而這些內層鐳墊排220分別具有多個內層鐳墊222。值得注意的是，同一內層鐳墊排220所具有之內層鐳墊222的功能類型相同，例如同樣為電源鐳墊222a、訊號鐳墊222b或是接地鐳墊222c，使得這些內層凸塊墊排220可為



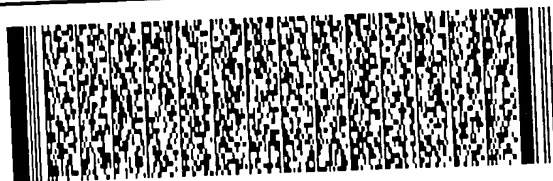
五、創作說明 (12)

電源凸塊墊排220a、訊號凸塊墊排220b或接地凸塊墊排220c。

請再同樣參考第5A、5B圖，為了提升晶片200之電氣效能，更可將不同功能類型的內層鐳墊排220依序間隔配置於核心鐳墊群組210之同一側的外圍，並在電源鐳墊排220a及接地鐳墊排220c之間配置至少一個訊號鐳墊排220b，亦即將電源鐳墊排220a及接地鐳墊排220c穿插配置於這些訊號鐳墊排220b之間，使得訊號鐳墊排220b之訊號鐳墊222b所參考的電源及接地將更為平均。

接下來，請再同樣參考第5A、5B圖，晶片200之主動表面202更配設有多個外層鐳墊排230，用以對應第4A、4B圖之覆晶構裝基板的外層凸塊墊排130，而這些外層鐳墊排230分別包括多個外層鐳墊232，例如作為訊號鐳墊。值得注意的是，這些外層鐳墊排230之排列方向係約略垂直這些內層鐳墊排220之排列方向，使得這些外層鐳墊排230由內而外依序排列於核心鐳墊群組210之同一側的外圍，也就是這些外層鐳墊排230由內而外依序排列於內層鐳墊排220之遠離核心鐳墊群組210之一端的外圍。其中，這些外層鐳墊排230由內而外依序為第一外層鐳墊排230a、第二外層鐳墊排230b及第三外層鐳墊排230c。

請同時參考第4B、5B圖，晶片200之內層鐳墊222及外層鐳墊232的位置係對應於覆晶構裝基板100之內層凸塊墊122及外層凸塊墊132的位置。值得注意的是，由於覆晶構裝基板之外層凸塊墊132係不按照習知之規則性排列，反

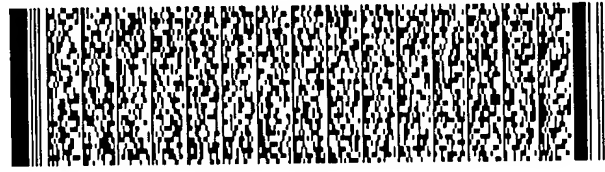
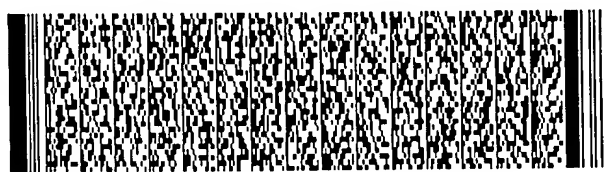


五、創作說明 (13)

而是對應任二外層凸塊墊132之最短間距，而配置於覆晶構裝基板100之頂面102，故可縮小內層凸塊墊122與外層凸塊墊132之間距，以及相鄰二外層凸塊墊132之間距，因而縮小覆晶構裝基板100之頂面102的覆晶接合區域，如此將可對應縮短晶片200之外層鐳墊232之間距，並同時縮小晶片200之面積，進而降低單顆晶片200之製作成本。

請再參考第5A圖，為了對應第4A圖之覆晶構裝基板100之多個外層凸塊墊環136，晶片200亦可具有複數個外層鐳墊環236，其包括如第5B圖所示之多個外層鐳墊232，並以核心鐳墊群組210為中心，而呈同心環狀排列於核心鐳墊群組210之外圍，且這些外層鐳墊環236之部分係分別為這些外層凸塊墊排230，例如第一外層鐳墊環236a之部分係為第一外層鐳墊排230a，而第二外層鐳墊環236b之部分係為第二外層鐳墊排230b，且第三外層鐳墊環236c之部分係為第三外層鐳墊排230c。

本創作之較佳實施例的覆晶晶片係將訊號鐳墊、電源鐳墊及接地鐳墊分成許多內層鐳墊排，並依序排列於由核心鐳墊群組之同一側的外圍，使得電源鐳墊排及接地鐳墊排穿插配設於訊號鐳墊排之間，用以提升晶片於封裝之後的電氣效能。此外，由於本創作之較佳實施例的覆晶構裝基板更可對應二相鄰外層凸塊墊之最短間距來規劃外層凸塊墊之位置，因而縮小覆晶構裝基板之所需要的覆晶接合面積，其中外層凸塊墊係可為訊號凸塊墊，如此將可對應縮短晶片之外層鐳墊之間距，並同時縮小晶片之面積，進



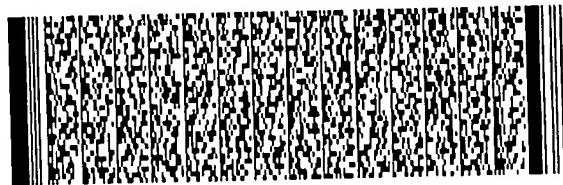
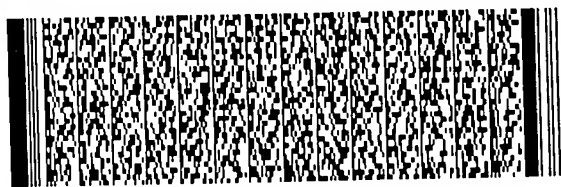
五、創作說明 (14)

而降低單顆晶片之製作成本。

綜上所述，本創作之覆晶構裝基板係將電源凸塊墊及接地凸塊墊集中分佈於核心凸塊墊之外圍，而為電源凸塊墊排及接地凸塊墊排，並可將電源凸塊墊排及接地凸塊墊排分別穿插於由訊號凸塊墊所構成之多個訊號凸塊墊排之間，故可增加覆晶構裝基板之供電面積及接地面積，並使得訊號凸塊墊所參考之電源及接地較為平均，因而提升覆晶構裝基板之電氣效能。此外，本創作更對應上述之覆晶構裝基板而提出一種覆晶晶片，其主動表面上的所有鐳墊均對應於上述之覆晶構裝基板的所有凸塊墊，使得訊號鐳墊所參考之電源及接地較為平均，因而提升覆晶晶片於封裝之後的電氣效能。

本創作之覆晶構裝基板更將第一導線層之部分經由第一導線層之導線而扇出至覆晶接合區域以外的凸塊墊，對應相鄰二凸塊墊之最短間距而配置於覆晶構裝基板上，如此將可有效縮小覆晶構裝基板所需之覆晶接合面積。此外，本創作更對應上述之覆晶構裝基板而提出一種覆晶晶片，同樣地，其主動表面上的所有鐳墊係對應於上述之覆晶構裝基板的所有凸塊墊，如此將可對應縮短晶片之外層鐳墊之間距，並同時縮小晶片之面積，進而降低單顆晶片之製作成本。

雖然本創作已以一較佳實施例揭露如上，然其並非用以限定本創作，任何熟習此技藝者，在不脫離本創作之精神和範圍內，當可作些許之更動與潤飾，因此本創作之保



五、創作說明 (15)

護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖繪示習知之一種覆晶球格陣列型封裝結構的剖示圖；

第2圖繪示第1圖之晶片的仰視圖；

第3圖繪示第1圖之覆晶構裝基板的局部俯視圖；

第4A圖繪示本創作之較佳實施例之覆晶構裝基板的局部俯視圖；

第4B圖繪示第4A圖之覆晶構裝基板，其第一導線層之局部區域A的放大示意圖；

第4C圖繪示第4B圖之覆晶構裝基板，其第二導線層之局部區域A的放大示意圖；

第5A圖繪示本創作之較佳實施例之覆晶晶片的俯視圖；以及

第5B圖繪示第5A圖之局部區域B的放大示意圖。



六、申請專利範圍

1. 一種覆晶構裝基板，包括：

圖案化之複數個導線層，依序相互重疊；
至少一絕緣層，配設於二相鄰之該些導線層之間，用以隔離該些導線層，並與該些導線層相互交錯疊合；以及
至少一導電插塞，貫穿該絕緣層，用以電性連接該些導電層，

其中該些導線層之最頂層者具有：

一核心凸塊墊群組；以及

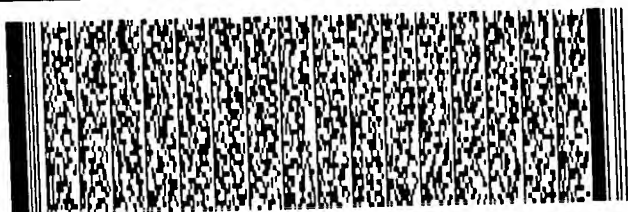
複數個凸塊墊排，依序排列於該核心凸塊墊群組之外圍，且該些凸塊墊排之一端係鄰近該核心凸塊墊群組，而該些凸塊墊排分別具有複數個凸塊墊，且該些凸塊墊排係分別為選自於由訊號凸塊墊排、電源凸塊墊排及接地凸塊墊排所組成族群之一。

2. 如申請專利範圍第1項所述之覆晶構裝基板，其中該核心凸塊墊群組具有複數個核心電源/接地凸塊墊。

3. 如申請專利範圍第1項所述之覆晶構裝基板，其中該些電源凸塊墊排之該些凸塊墊係經由該些導線層之最頂層者相互電性連接。

4. 如申請專利範圍第1項所述之覆晶構裝基板，其中該些接地凸塊墊排之該些凸塊墊係經由該些導線層之最頂層者相互電性連接。

5. 如申請專利範圍第1項所述之覆晶構裝基板，其中該些電源凸塊墊排之該些凸塊墊係經由該些導線層之次頂層者而相互電性連接。



六、申請專利範圍

6. 如申請專利範圍第1項所述之覆晶構裝基板，其中該些接地凸塊墊排之該些凸塊墊係經由該些導線層之次頂層者而相互電性連接。

7. 如申請專利範圍第1項所述之覆晶構裝基板，其中任一該些電源凸塊墊排及任一該些接地凸塊墊排之間係配置至少一該些訊號凸塊墊排。

8. 一種覆晶構裝基板，包括：

圖案化之複數個導線層，依序相互重疊；

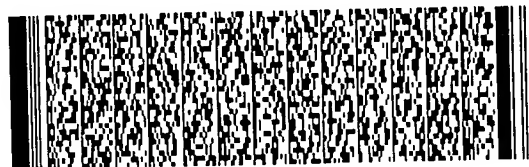
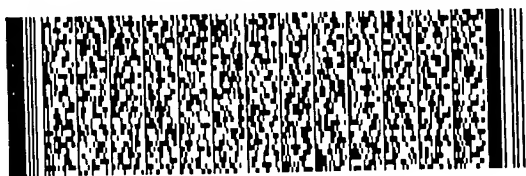
至少一絕緣層，配設於二相鄰之該些導線層之間，用以隔離該些導線層，並與該些導線層相互交錯疊合；以及至少一導電插塞，貫穿該絕緣層，用以電性連接該些導電層，

其中該些導線層之最頂層者具有：

一核心凸塊墊群組；

複數個內層凸塊墊排，依序排列於該核心凸塊墊群組之外圍，且該些內層凸塊墊排之一端係鄰近該核心凸塊墊群組，而該些內層凸塊墊排分別具有複數個內層凸塊墊，且該些內層凸塊墊排係分別為選自於由訊號凸塊墊排、電源凸塊墊排及接地凸塊墊排所組成族群之一；以及

複數個外層凸塊墊排，由內而外依序排列於該些內層凸塊墊排之另一端的外圍，且該些外層凸塊墊排分別具有複數個外層凸塊墊，而該些外層凸塊墊排由內而外依序為第一外層凸塊墊排、第二外層凸塊墊排



六、申請專利範圍

及第三外層凸塊墊排，其中該第二外層凸塊墊排之該些外層凸塊墊之最短間距係可容許該導線層之至少一導線通過，且該第二外層凸塊墊排之該些外層凸塊墊與第三外層凸塊墊排之該些外層凸塊墊之最短間距係可容許該導線層之至少一導線通過，而該第三外層凸塊墊排之該些外層凸塊墊之最短間距係可容許該導線層之至少二導線通過。

9. 如申請專利範圍第8項所述之覆晶構裝基板，其中該核心凸塊墊群組具有複數個核心電源/接地凸塊墊。

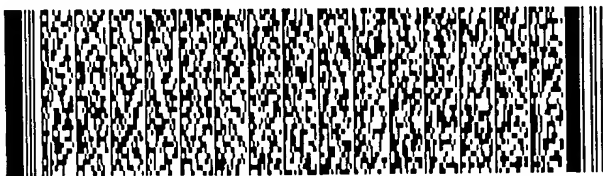
10. 如申請專利範圍第8項所述之覆晶構裝基板，其中該些電源凸塊墊排之該些內層凸塊墊係經由該些導線層之最頂層者相互電性連接。

11. 如申請專利範圍第8項所述之覆晶構裝基板，其中該些接地凸塊墊排之該些內層凸塊墊係經由該些導線層之最頂層者相互電性連接。

12. 如申請專利範圍第8項所述之覆晶構裝基板，其中該些電源凸塊墊排之該些內層凸塊墊係經由該些導線層之次頂層者而相互電性連接。

13. 如申請專利範圍第8項所述之覆晶構裝基板，其中該些接地凸塊墊排之該些內層凸塊墊係經由該些導線層之次頂層者而相互電性連接。

14. 如申請專利範圍第8項所述之覆晶構裝基板，其中任一該些電源凸塊墊排及任一該些接地凸塊墊排之間係配置至少一該些訊號凸塊墊排。



六、申請專利範圍

15. 如申請專利範圍第8項所述之覆晶構裝基板，其中該些外層凸塊墊係為訊號凸塊墊。

16. 一種覆晶晶片，該覆晶晶片具有一主動表面，且該覆晶晶片更具有：

一核心鐳墊群組，配置於該主動表面；以及
複數個鐳墊排，配置於該主動表面，並依序位於該核心鐳墊群組之外圍，且該些鐳墊排之一端係鄰近該核心鐳墊群組，而該些鐳墊排分別具有複數個鐳墊，且該些鐳墊排係分別為選自於由訊號鐳墊排、電源鐳墊排及接地鐳墊排所組成族群之一。

17. 如申請專利範圍第16項所述之覆晶晶片，其中該核心鐳墊群組具有複數個核心電源/接地鐳墊。

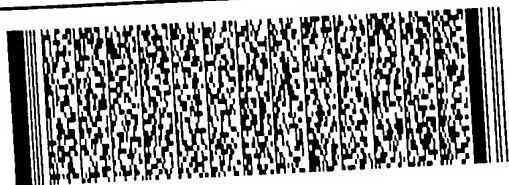
18. 如申請專利範圍第16項所述之覆晶晶片，其中任一該些電源鐳墊排及任一該些接地鐳墊排之間係配置至少一該些訊號鐳墊排。

19. 一種覆晶晶片，適於接合至一覆晶構裝基板，其中該覆晶構裝基板具有：

圖案化之複數個導線層，依序相互重疊；
至少一絕緣層，配設於二相鄰之該些導線層之間，用以隔離該些導線層，並與該些導線層相互交錯疊合；以及
至少一導電插塞，貫穿該絕緣層，用以電性連接該些導電層，

其中該些導線層之最頂層者具有：

一核心凸塊墊群組；



六、申請專利範圍

複數個內層凸塊墊排，依序排列於該核心凸塊墊群組之外圍，且該些內層凸塊墊排之一端係鄰近該核心凸塊墊群組，而該些內層凸塊墊排分別具有複數個內層凸塊墊，且該些內層凸塊墊排係分別為選自於由訊號凸塊墊排、電源凸塊墊排及接地凸塊墊排所組成族群之一；以及

複數個外層凸塊墊排，由內而外依序排列於該些內層凸塊墊排之另一端的外圍，且該些外層凸塊墊排分別具有複數個外層凸塊墊，而該些外層凸塊墊排由內而外依序為第一外層凸塊墊排、第二外層凸塊墊排及第三外層凸塊墊排，其中該第二外層凸塊墊排之該些外層凸塊墊之最短間距係可容許該導線層之至少一導線通過，且該第二外層凸塊墊排之該些外層凸塊墊與第三外層凸塊墊排之該些外層凸塊墊之最短間距係可容許該導線層之至少一導線通過，而該第三外層凸塊墊排之該些外層凸塊墊之最短間距係可容許該導線層之至少二導線通過，

該覆晶晶片具有一主動表面，且該覆晶晶片更具有：一核心鉀墊群組，對應該核心凸塊墊群組，而配置於該主動表面；

複數個內層鉀墊排，分別對應該些內層凸塊墊排之位置，而配置於該主動表面，且該些內層鉀墊排分別具有複數個內層鉀墊，其位置係分別對應於該些內層凸塊墊之位置，並且該些內層鉀墊排係對應該些內層凸塊墊排，而分



六、申請專利範圍

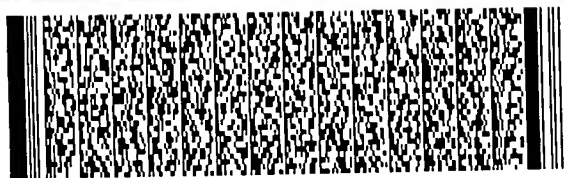
別為選自於由訊號鐳墊排、電源鐳墊排及接地鐳墊排所組成族群之一；以及

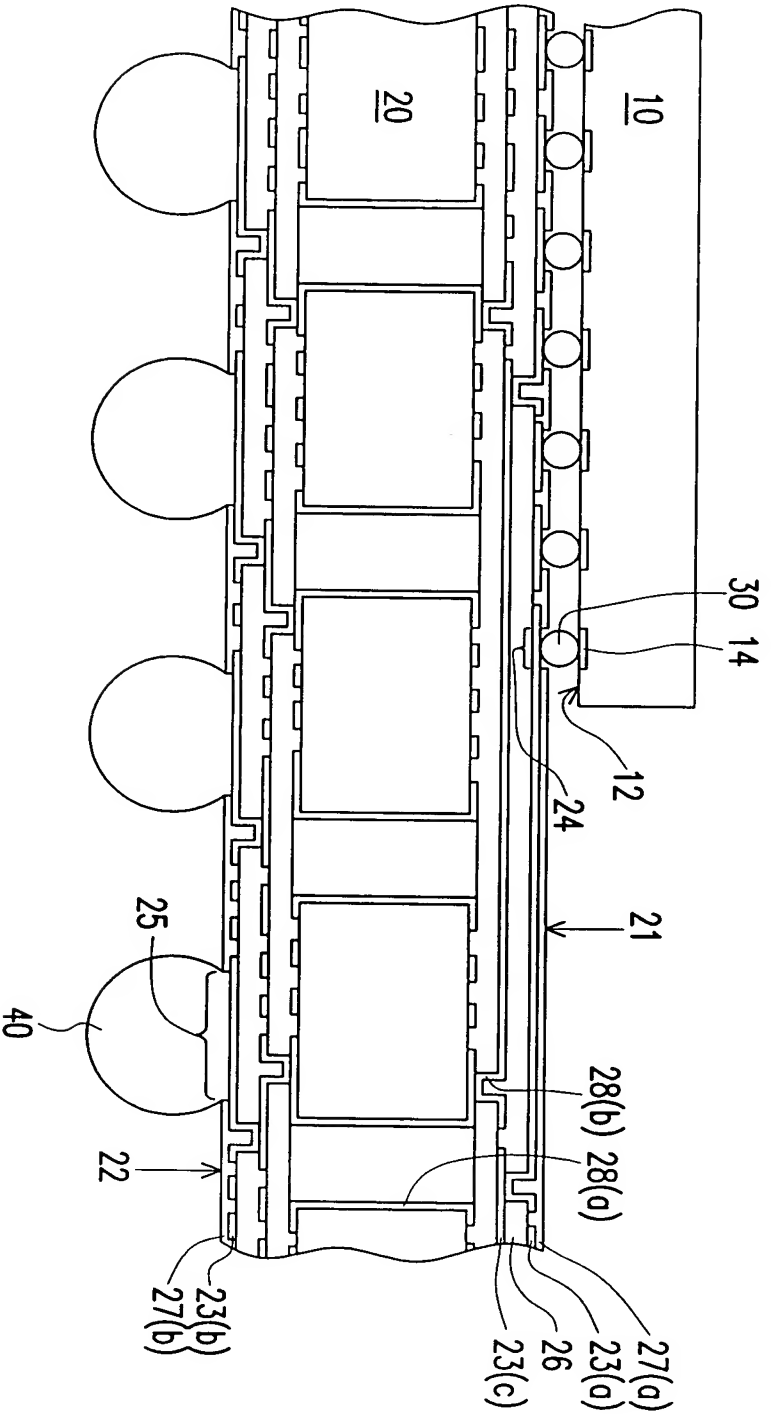
複數個外層鐳墊排，分別對應該些外層凸塊墊排之位置，而配置於該主動表面，且該些外層鐳墊排分別具有複數個外層鐳墊，其位置係分別對應於該些外層凸塊墊之位置。

20. 如申請專利範圍第19項所述之覆晶晶片，其中該核心凸塊墊群組具有複數個核心電源/接地凸塊墊，且該核心鐳墊群組具有複數個核心電源/接地鐳墊，其位置係分別對應於該些核心電源/接地凸塊墊之位置。

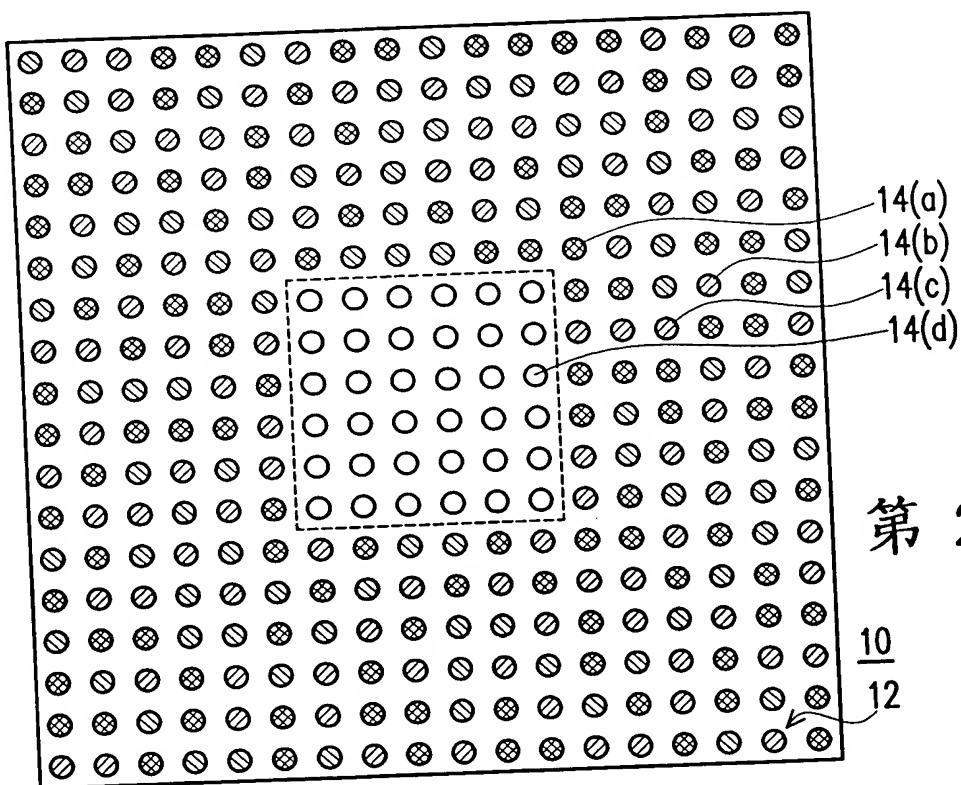
21. 如申請專利範圍第19項所述之覆晶晶片，其中任一該些電源鐳墊排及任一該些接地鐳墊排之間係配置至少一該些訊號鐳墊排。

22. 如申請專利範圍第19項所述之覆晶晶片，其中該些外層鐳墊係為訊號鐳墊。

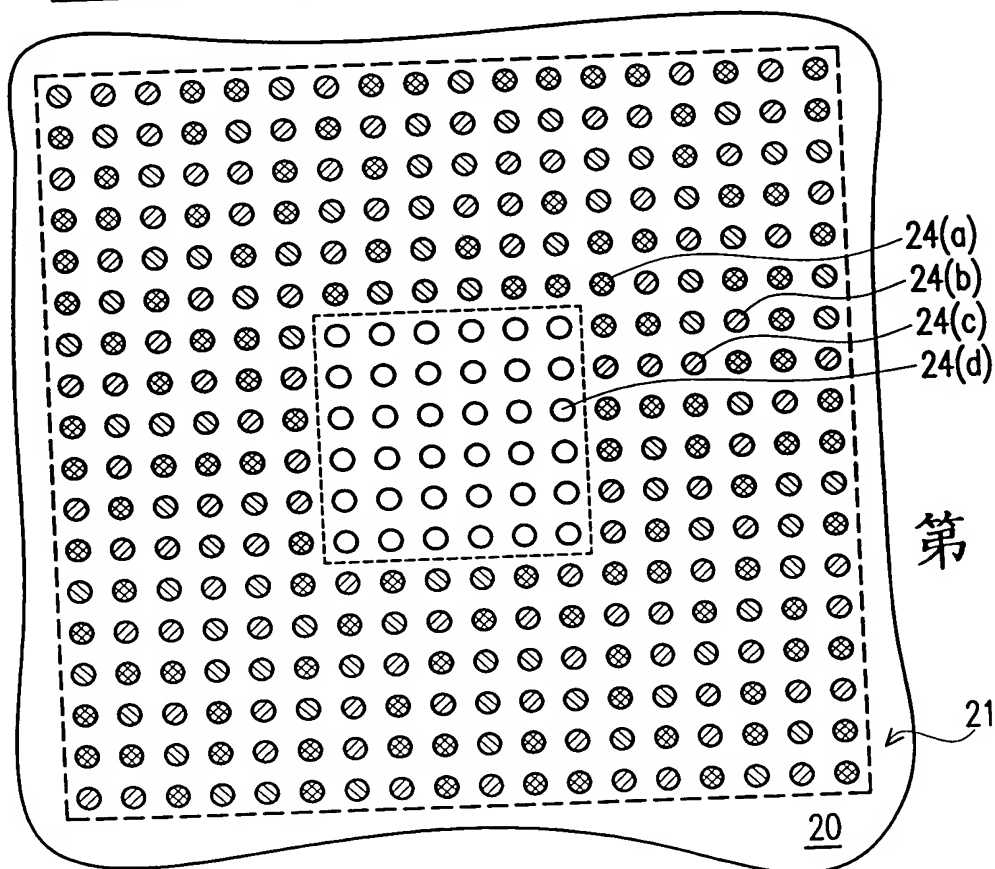




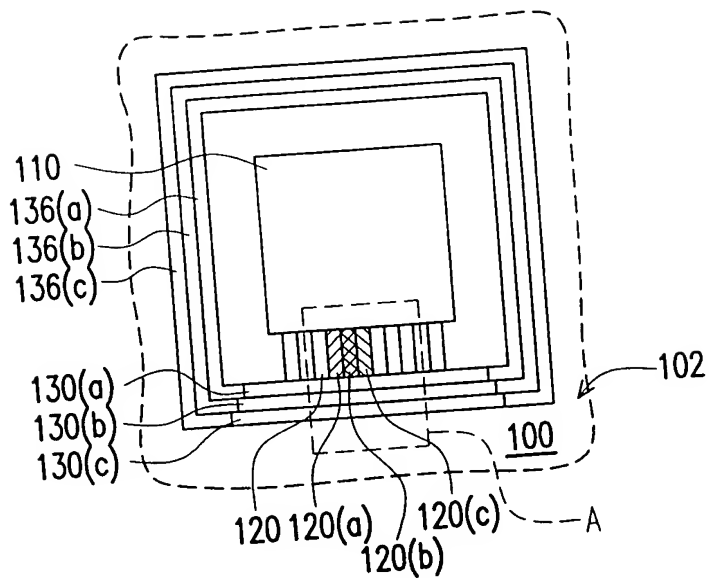
第 1 圖



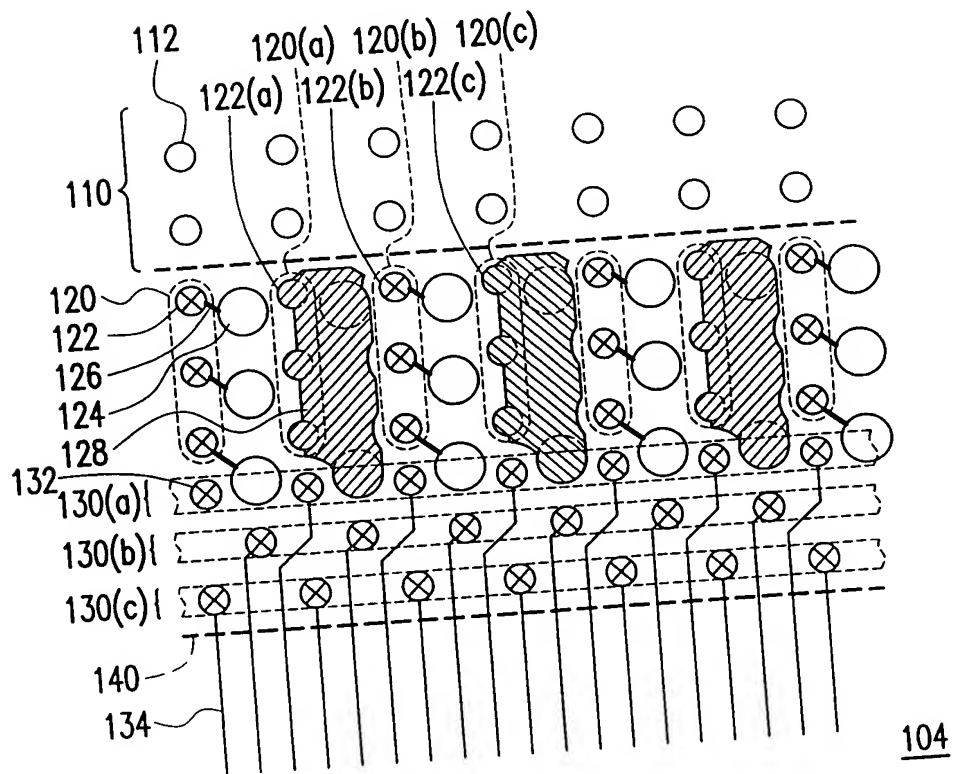
第 2 圖



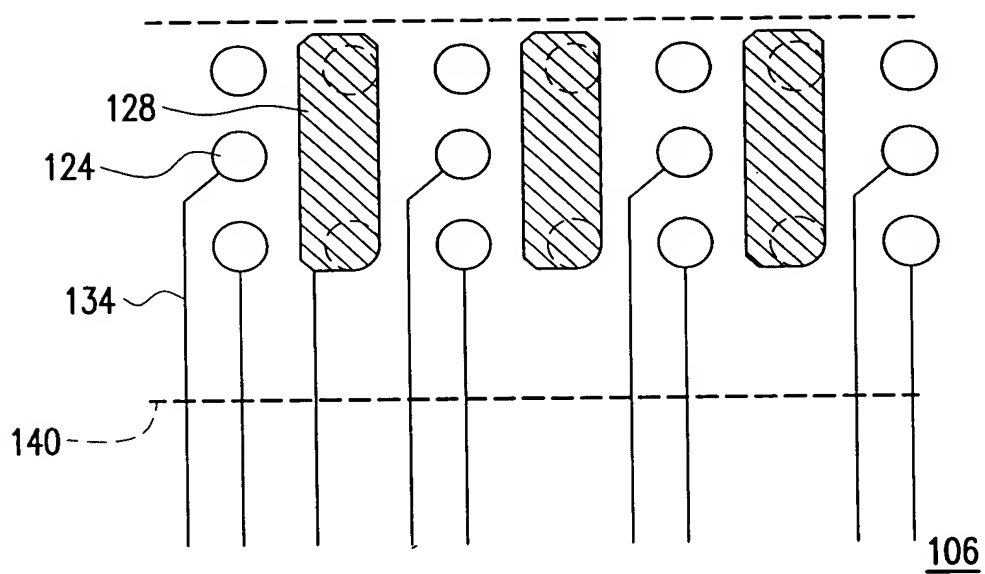
第 3 圖



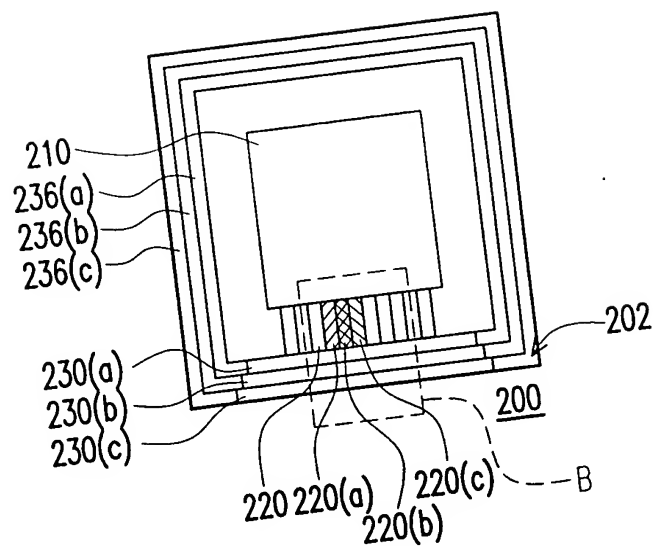
第 4A 圖



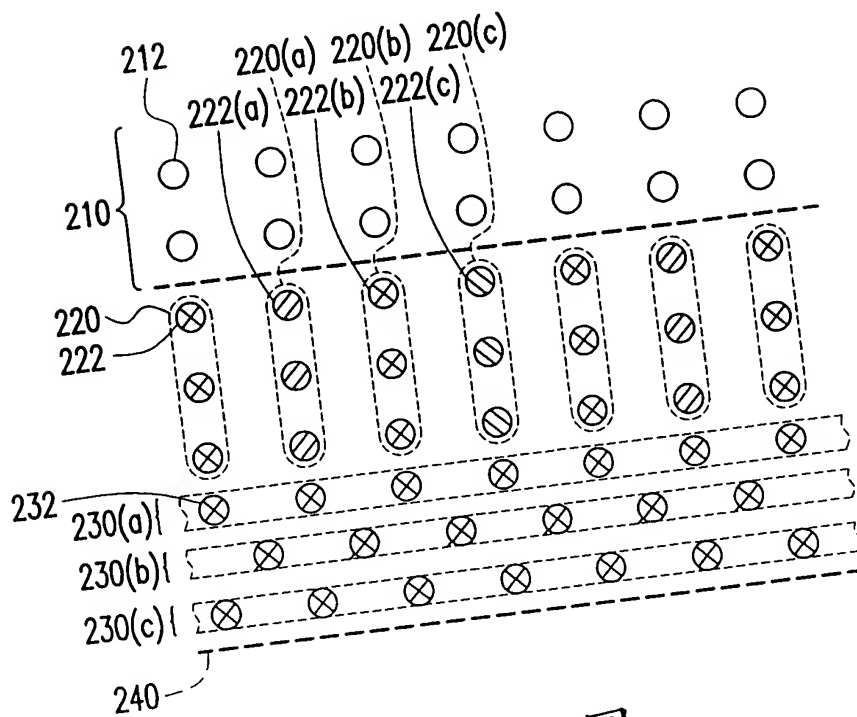
第 4B 圖



第 4C 圖

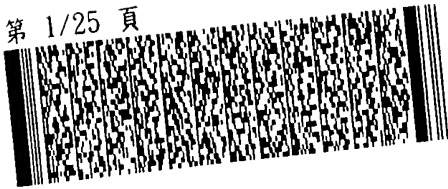


第5A圖

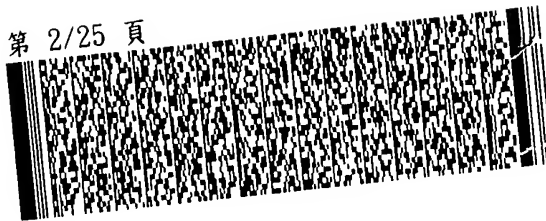


第5B圖

第 1/25 頁



第 2/25 頁



第 4/25 頁



第 4/25 頁



第 5/25 頁



第 5/25 頁



第 6/25 頁



第 6/25 頁



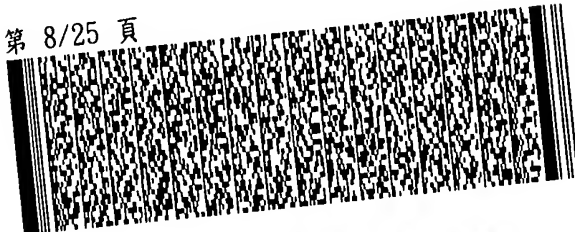
第 7/25 頁



第 7/25 頁



第 8/25 頁



第 9/25 頁



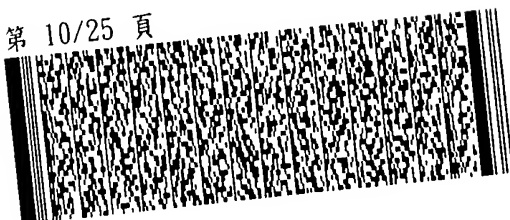
第 9/25 頁



第 10/25 頁



第 10/25 頁



第 11/25 頁



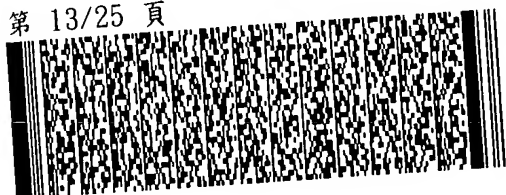
第 11/25 頁



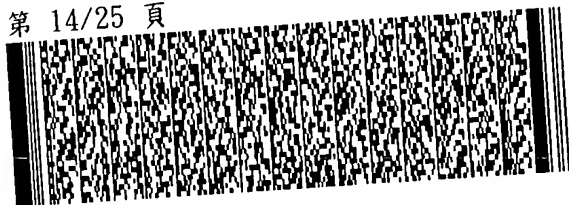
第 12/25 頁



第 13/25 頁



第 14/25 頁



第 15/25 頁



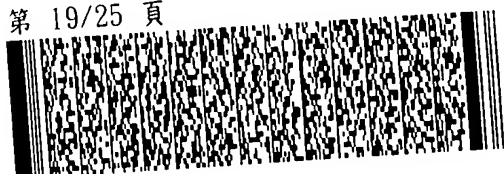
第 16/25 頁



第 17/25 頁



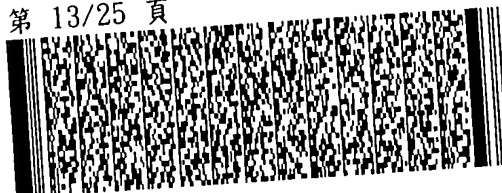
第 19/25 頁



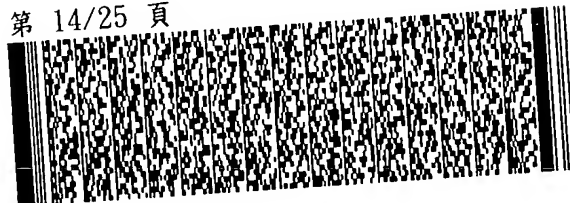
第 12/25 頁



第 13/25 頁



第 14/25 頁



第 15/25 頁



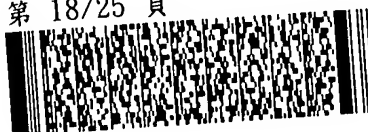
第 16/25 頁



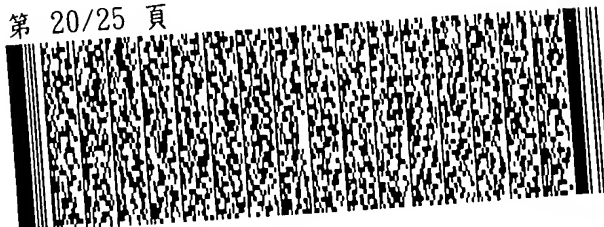
第 17/25 頁



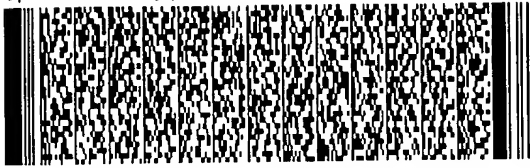
第 18/25 頁



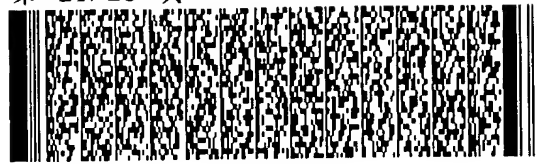
第 20/25 頁



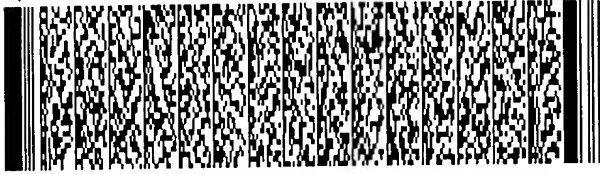
第 21/25 頁



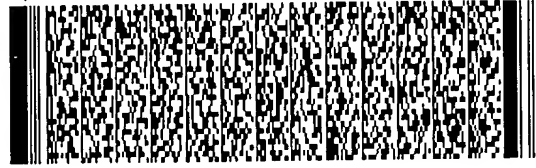
第 21/25 頁



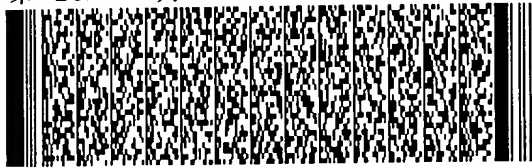
第 22/25 頁



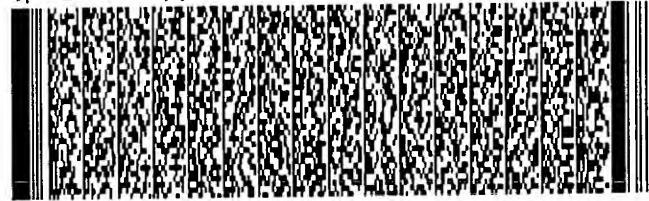
第 23/25 頁



第 23/25 頁



第 24/25 頁



第 25/25 頁

